⑩日本国特許庁(JP)

① 特許出願公開

® 公 開 特 許 公 報 (A) 平2-207299

@Int. Cl. 6

驗別記号

庁内察理番号

匈公開 平成2年(1990)8月16日

G 09 G

8121-5C 8320-5C

未請求 請求項の数 1 (全7頁)

匈発明の名称 表示制御回路

> @特 ■ 平1-28363

3333 平1(1989)2月7日

倒発 明春 天 白

神奈川県川崎市中原区上小田中1015登地

システムズ株式会社内

現 出の 人 富士逋株式会社 の出 顕 人

神奈川県川崎市中原区上小田中1015番地 神奈川県川崎市中原区上小田中1015番地

官士通マイコンシステ

ムズ株式会社

90代 理 人 弁理士 井桁 貞一 外2名

1. 施明の名称

表示制物创路

2. 特許療状の範囲

文字表示のためのドットクロック信号 (DOTCK) を水平同期借号 (HSYNC) に 同期をせて出力する衰量が問題的において、

水平同期信号(HSYNC)と垂直表示信号 (VDISP) とが一致するタイミングで面記ド ットクロック信号(DOTCK)を際止させる説 長序正謂号 (STOP) を嵌力する表示修正例器 (20)を備えたことを特徴とする表示制御回路。

3. 発明の静和な説明

(概要)

表示観部回路に係り、特に画像信号を制御する ディスプレイコントローチに おいてドットクロッ

ク信号を制御する表示制御回路に関し、

ドットクロック信号の発展が不必要な期間、す なわち、巫良プランキング別問においてドットク ロック信号の発生を停止することにより省略力化 を計った表示側御回路を提供することを目的とし、 文学表示のためのドットクロック信号を水学同 別信号に同期させて出力する表示制御回路におい て、水平問期信号と重直投示信号とが一致するタ イミングで前記ドットクロックは号を停止させる 発展停止信号を出力する表示停止回路を離えて報 战士6.

「煎難上の利用分野」

本苑明は表示制御回路に添り、待に頭像信号を 制御するディスプレイコントローラにおいてドッ トクロック宿号を制御する表示制即回路に関する。 NTSCやPAL等の映像信号方式を用いたデ 4 スプレイ上の文字や西縣位配制期を行うディス プレイコントローラが知られている。

類4図に、オンスクリーンディスプレイコント

-1031-

特別平 2-207299(2)

ローラ (OSDC) の機略構成を示す。ディスプレイコントロールの基準となる内部水平同期ほ号NH 、内部型直周期信号NV および垂直表示はサVD! SP 生作破するためのビデオ限期信号発生器 1 が設けられている。このビデオ周期信号発生器 1 に基準信号を試給するためにクリスタル発展器 2 が用いられる。

また、文字等の表示に知いるドットクロッタ信号DOTCKを発生させるためにLC発展を3が別に設けられている。このLC発展設3はOR四路4を介し、後述する水平同期信号IHSおよび 感应表示信号VDISPにより制御される。クリスタル発展器2およびLC発展器3の出力は設択回路5に入力され、クリスタル発展器2かまたはLC発展器からの出力が3

ディスプレイコントローラは、上記ピデオ同期 信号発集回路 1 の他に外部からのコンポジット何 明信号を待、これを分離して外部水平同期電号 EX日および外電郵政局別信号EXVを得るため

- 3 -

乾漁路という。)16を介してビデオ合成側路 17に出力される。P/S皮換器16はドットク ロック信号DOTCKにより、ROM15からの パラレル信号をシリアル信号に変換する。

ビデオ合成回路 1 7 はビデオ信号と水平および 郵店同期信号 1 HS、iVSとを合成し、合成映 毎出力を覆る。

なお、絵や文字を所定のタイミグで点試させる ためのプリンク回路 1 8 がビデオ 合成回路 1 7 に 複糖されており、垂直同期信号 1 V S の制御によ り画像の点域動作を行う。

以上のディスプレイコントローラにおいて水泡 切は発振器2の構成に関するものである。

(従来の技術)

テレビやVTR等の表示用頭面に文字を表示する表示数型では、文字表示のためのドットクロック語号が内部で形成されている。このドットクロック信号は内部から入力される水平同期信号に対して同期している必要があり、同期がずれると文

の同則分離回路22を確えている。ビデオ 回期は 号路生器1で得られる内部 同期信号 N B、N V & よび 同期分離回路7から得られる外部 同期信号 E X H、 E X V のいずれかが 同期信号 通択回路 8 により選択され、ビデオ信号の制調に用いられる 水平 同期信号 I H S 表よび垂直同期信号 I V S が 得られる。

ビデオ信号の水平数示位置と整直表示位置とを 削削するために水平数示位置列ノモリカウンク9、 ラスクカウンタ10、メモリ書き込み的毎回路 11、些直表示位置行メモリカウンタ11、行称 号検出回路13および3分周回路6が第3図に示 すような国路構成で用いられ、これらは前述した 水平周期信号1HSおよび垂直同期信号1VSに より間期がとられて納御される。

列メモリカウンタ9および行メモリカウンタ 1 1 の出力は、RAM14に入力され、ごの RAM14の出力と3分周同路6との出力によっ て制御されたチャラククジェネレークROM15 からビデオ信号が並列/直列変換器(以下P/8

- 4 -

字のドットずれを起こす。このドットずれを助止する方法として過常でした(フェースドロックループ)やAPC(オートマチックフリュークエンショントロール)が用いられている。しかしコスト面を改合するために小規模な表示教置では、節4圏に示すように、ドットクロック信号DOTCKとの位替日SYNC毎に発展停止し、水平間側信号の立ち上がりとドットクロック信号DOTCKとの位和を合わせるようにしている。

このドットクロック信号DOTCKは分図されてメモリ帝の読み出し信号として使用される。メモリの読み出しは悪政政が期間に行なわれ、読み出された情報は水平表示期間中にドットクロック信号DOTCKにより概動され文字等が表示される。

しかし、通常のディスプレイコントローラにおいては坐直プランキング期間中にもこのドットクロック信号DOTCKの発展が行なわれているため、省電力化という観点からは不利であった。

特開平 2-207299(3)

野ら図は従来のドットクロック信号の危候停止の 説明 図で、水平間 朝信 号日 S Y N C 中に 図中に 斜線で示した 期間だけ ドットクロック 信号 D O T C K を停止させることを示している。 この 第5 図に示すように、無面中の表示期間以外の 期間、 存に、 距直プランキング期間にもドットクロック 信号 D O T C K は出力されている。

第6図はドットクロック信号DQTCKと水平 両側信号HSYNCとの位紹合わせの原理を示す 図である。水平内側信号HSYNCがローレベル となった後屋でドットクロック信号DQTCKは 位和角Oとなり、水平内側信号HSYNCの立ち 上がり時点で位相角Oから発板を始める。

(発明が解決しようとする課題)

このように従来の表示制期回路では水平周則川間のみでドットクロック信号DOTCKの発展を停止し、症折合わせを行なうようにしているが、 垂直最示的間ではこのような制御を行なっていないため、本来ドットクロック信号DOTCKを必

- 7 -

(作用)

本意明によれば発機停止信号(STOP)として水平同期信号(HSYNC)のほかに適政庭系別問信号(VDISPブランキング信号)も用いるようにしているため、重型ブランキング期間にはドットクロック信号(DOTCK)の出力が停止し、したがって対政権力を抑さえることができる。

[实验例]

次に、本類明の実施例を図面に基づいて説明する。

第1 図に本務明に係る表示創類図路の次絶例を 示す。

LC角盤器3は、外部接続均子EXから人力を

要としない 垂直プランキング 期間においても、ドットクロック信号 DOTCKの発展が行なわれ、 電方很失を増大させるという問題点があった。

本発明はドットクロック信号の発용が不必要な 期間、すなわち、歴世プランテング期間において 信号の発生を停止することにより省略力化を図っ た表示制確回路を提供することを目的とする。

(即題を解決するための手段)

上記課題を解決するために、木発明は、文字表示のためのドットクロック信号(DOTCK)を水平周期信号(HSYNC)に同期させて出力する表示制即回路において、水平同期信号(HSYNC)と極迫表示信号(VDISP)とか一致するタイミングで前記ドットクロック信号(DOTCK)を停止させる発展停止信号(STOP)を出力する表示停止回路(20)を超えたことを特徴とする。

- 8 **-**

れる効果等(図示せず)からの発展信号を発展である。 するインバータ31と、インパータ31の出版に 号とでは、インパータ31の出版に 号とでは、インパータ31の出版に 号とでは、本の発展をして、大の発展を を確認した。 発展のは、 ののでは、ドットクロック信号 DOTC のでは、 ののでは、ドットクロック信号 DOTC のでは、 ののでは、ドットクロック信号 DOTC を ののでは、

特期平 2-207299(4)

類2 図に第1 図の回路駅作を説明するためのクイミングチャートを示す。 質2 図に示すように、発展存止信号STOPのパルスの立ち上がり点で発展が停止し、ドットクロック信号が停止する。 発展 存止信号 STOPの パルスの 立ち下がり 点で再び 発展を 開始する。 ドットクロック 信号 DOTCKの信号レベルも発展停止信号 STOPの立ち上がり時点で "L"レベルに落ちる。

このような発振停止信号STOPを用いてドットクロック信号DOTCKの制御を行なった場合、発展停止領域は第3図に示すようになる。すなわら、図中に創設で示した期間、ドットクロック電号DOTCKが停止する。

もともと、ドットクロック信号DOTCKは、 国像の表示期間だけ出力されていればよいわけで あるので、第3四に示すような新雄領域において 発節が停止してもなんらきしつかえない。

また、メモリの飲み出しは前述したように監理 表示期間(VDISP)に行なわれるものである から、ドットクロックは号DOTCKの停止があ

- 1 J -

3 ·· 免 版 回路
2 · 0 ·· 表示 件 止 回路
2 · 1 ·· N A N D 函路
S · T · O P ··· 免 报 停 止 信 号
H · S · Y · N · C ··· 水 · 平 同 则 值 号
V · D · S · P ··· 强 值 受 示 信 号

代理人免理士 非 括 貞 一

っても表示が現れることはない。

(発明の効果)

以上影明したように、本強明では整直ブランキング期間中にドットクロック情号の発生を停止させるため、ディスプレーコントローラにおいて電力消費を減少させることができる。

4.図面の類単な説明

第1回は本発明の実施例の回路図、

第2図は第1図の国路動作のタイミングチャー h

類3図は水発明のドットクロック信号の停止期間の説明図、

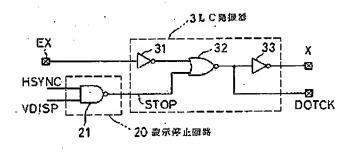
第4 図はオンスクリーンディスプレーコントローラの根略供収を示すプロック図。

第5図は健康のドットクロック信号の停止期間の 総明図、

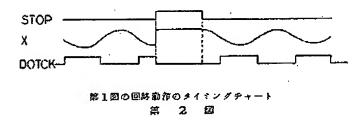
第6図はドットクロック信号と水平周朝信号と の位相会わせの説明図である。

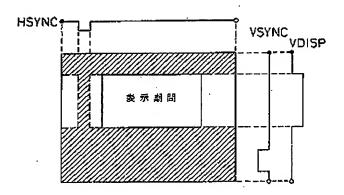
- 12 -

特関平 2-207299(5)

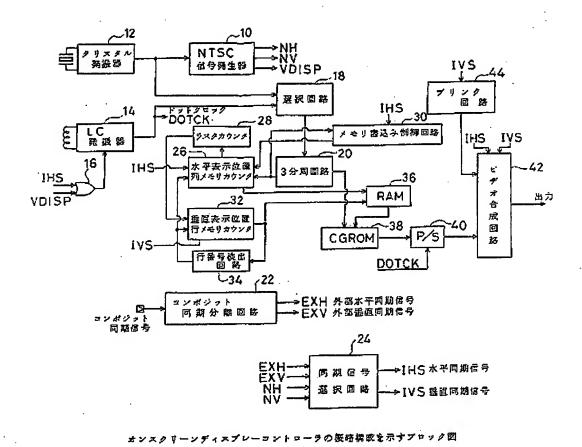


本発明の契約例の回路図第 1 図

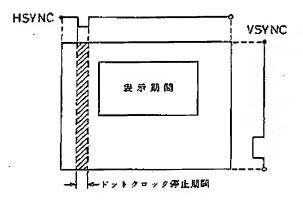




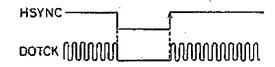
本男男のドットクロック信号の符止期間の説明図 第 3 図



将閉平 2-207299(7)



従来のドットクロック信号の停止期間の説明図 空 B 図



ドットクロック信号と水甲同期信号との位相合むせの説明図 第 6 図